

Reasons

A. The following points of this application do not satisfy the conditions that are provided in Patent Law Article No. 37.

Record

The invention pertaining to Claims 6-15 do not satisfy any relationship as is provided in Patent Law Article No. 37 for the invention as pertaining to Claims 1-5 since common essentials are completely unrecognized for Problems to be Solved by the Invention and the essential parts of the constitution of the invention for the invention as pertaining to Claims 1-5 and the invention as pertaining to Claims 6-15.

A review was not carried out for the invention as pertaining to the Claims other than Claims 1-5 for conditions other than the same Law Article No. 37 since this application violates the provisions of Patent Law Article No. 37.

B. The invention pertaining to the following Claims of this application is based on the inventions that are described in the following publications which were distributed within Japan and abroad prior to that application and a patent cannot be granted according to the provisions of Patent Law Article No. 29 Item No. 2 since there is the possibility of being easily invented by a person having general knowledge in the technological field that is affiliated with the invention prior to the application.

Record

<List of Publications>

1. Publication of Japanese Laid-Open Patent No. H9-200036
2. Publication of Japanese Laid-Open Patent No. H2-82716
3. Publication of Japanese Laid-Open Patent No. H11-17522

/2

•For Claim 1:Corresponding Publications are 1-3

(Remarks)

The invention is described as following in Figure No. 7 and the explanatory text of Publication 1.

A semiconductor integrated circuit having 1 or more 1st transistors (M84) that supply an electric charge for an external load via an output terminal and 1 or more 2nd transistors (M85) that draw an electric charge from the load via the output terminal established, wherein a logic circuit carries out set logic

calculations by carrying out the aforementioned electric charge supply to a load or the aforementioned load drawing from a load corresponding to a combination of the states of a plurality of binary logic signals (A, B) that are input from an external part.

Differences as follow can be recognized between both when comparing the invention pertaining to the present application Claim 1 and the above-mentioned invention as described in Publication 1.

There is the point of not describing a circuit as described in Figure No. 7 applying a constitution as in Publication 1 for decreasing the threshold voltage of all of the transistors other than the load supply-use transistors among transistors that constitute a logic circuit in the invention as pertaining to the present application Claim 1.

However, decreasing the threshold voltage of MOS transistors that constitute a circuit is extremely common technology for improving the operation speed of a circuit as described in ones like Publication 2 text page no. 1 lower right paragraph row no. 2-row no. 17 and Publication 3 Figure No. 2, Figure No. 3, Figure No. 6 and text passage no. 14, paragraph no. 15 and paragraph no. 21.

Unique complexity cannot be recognized for applying this common technology to a circuit that is described in Figure No. 7 of Publication 1 (that is, decreasing the threshold voltage of all transistors that constitute a circuit of Figure No. 7).

Further, generally, controlling the power consumption according to the threshold voltage of MOS transistors that have the role of supplying electric charges for a load being higher than other transistors is common technology without including a citation.

Unique complexity cannot be recognized for applying this common technology (that is, the coexistence of the high speed of circuit operation and control of power consumption by lowering the threshold voltage of transistors other than transistors that supply electric charge to a load) when applying the aforementioned common technology that is described in Publications 2 and 3 to an invention that is described in Figure No. 7 of Publication 1.

Thus, the invention pertaining to the present application Claim 1 is recognized as possible for one skilled in the art to easily invent based on an invention as described in Publication 1 and common technology that is described in Publication 2 or 3.

/3

Rejection reasons are not detected for the invention pertaining to the Claims outside the Claims indicated by this

Rejection Reason Notification document at the present point in time. There is notification of rejection reasons when rejection reasons are newly detected.

Prior Art Reference Search Result Record

•Searched Fields IPC 7th Edition
H03K 19/00

•Prior Art References
International Laid-Open [Patent] No. 01/67609 Pamphlet (Refer to the circuit of the left of Figure No. 3. The prior art reference is related to the invention pertaining to the present application Claim 4.)

This prior art reference search result record is without the formation of rejection reasons.

拒絶理由通知書

特許出願の番号 平成11年 特許願 第375831号
起案日 平成15年 7月31日
特許庁審査官 彦田 克文 9182 5X00
特許出願人代理人 高橋 詔男(外3名)様
適用条文 第29条第2項、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理由

A. この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

記

請求項1-5に係る発明と、請求項6-15に係る発明とは、発明が解決しようとする課題においても、発明の構成の主要部においても、共通する要素が全く認められないので、請求項6-15に係る発明は請求項1-5に係る発明に対し、特許法第37条で規定されているいずれの関係も満たしていない。

この出願は特許法第37条の規定に違反しているので、請求項1-5以外の請求項に係る発明については同法第37条以外の要件についての審査を行っていない。

B. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

<刊行物一覧>

1. 特開平9-200036号公報
2. 特開平2-82716号公報
3. 特開平11-17522号公報

・請求項 1について：対応する刊行物は 1 - 3

(備考)

刊行物 1 の第 7 図と説明文には、以下のような発明が記載されている。

出力端子を介して外部の負荷に電荷を供給する少なくとも 1 つ以上の第 1 のトランジスタ (M84) と、出力端子を介して前記負荷から電荷を引き抜く少なくとも 1 つ以上の第 2 のトランジスタ (M85) とを備え、外部から入力される複数の二値論理信号 (A, B) の状態の組み合わせに応じて前記負荷への電荷の供給または前記負荷からの電荷の引き抜きを行うことにより所定の論理演算を行う論理回路を有する半導体集積回路。

本願請求項 1 に係る発明と刊行物 1 に記載された上記発明とを比較すると、両者には以下のよう相違点が認められる。

すなわち、本願請求項 1 に係る発明では、論理回路を構成するトランジスタのうち、電荷供給用トランジスタ以外の全てのトランジスタのしきい値電圧を低くしているのに対し、刊行物 1 には第 7 図記載の回路がそのような構成を探っているとは記載されていない点。

しかしながら、刊行物 2 の本文第 1 頁右下欄第 2 行～第 17 行や、刊行物 3 の第 2 図、第 3 図、第 6 図と本文第 14 欄、第 15 欄、第 21 欄などにも記載されているように、回路の動作速度を改善するために、回路を構成する MOS トランジスタのしきい値電圧を低くすることは、きわめて周知技術である。

この周知技術を刊行物 1 の第 7 図に記載された回路に適用すること（すなわち、第 7 図の回路を構成する全トランジスタのしきい値電圧を低くすること）に、格別な困難性は認められない。

また、一般に、負荷に対し電荷を供給する役割を持つ MOS トランジスタのしきい値電圧を、他のトランジスタよりも高くすることによって、消費電力を抑制することは、引用例を挙げるまでもなく周知技術である。

刊行物 1 の第 7 図に記載された発明に、刊行物 2 あるいは 3 に記載された前記周知技術を適用する際に、この周知技術を適用すること（すなわち、刊行物 1 の第 7 図に記載された回路を構成する全トランジスタのうち、負荷に電荷を供給するトランジスタ以外のトランジスタのしきい値電圧を低くすることにより、回路動作の高速性と消費電力の抑制とを両立させること）に、格別な困難性は認められない。

したがって本願請求項 1 に係る発明は、刊行物 1 記載の発明と、刊行物 2 または 3 に記載された周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

この拒絶理由通知書中で指摘した請求項以外の請求項（2－5）に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

・調査した分野 I P C 第 7 版
H 0 3 K 1 9 / 0 0

・先行技術文献
○国際公開第01/67609号パンフレット（第3図の左の回路を参照。本願請求項4に係る発明に関連する先行技術文献である。）

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。